

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yuichi MASUTANI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: METHOD OF DRIVING LIQUID CRYSTAL DISPLAY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-098579	April 1, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

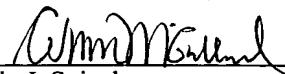
were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月 1日
Date of Application:

出願番号 特願2003-098579
Application Number:

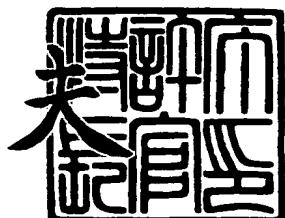
[ST. 10/C] : [JP 2003-098579]

出願人 株式会社アドバンスト・ディスプレイ
Applicant(s):

2003年12月16日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 A203030401

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内

【氏名】 升谷 雄一

【発明者】

【住所又は居所】 熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内

【氏名】 永野 慎吾

【特許出願人】

【識別番号】 595059056

【氏名又は名称】 株式会社アドバンスト・ディスプレイ

【代理人】

【識別番号】 100103894

【弁理士】

【氏名又は名称】 家入 健

【手数料の表示】

【予納台帳番号】 106760

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014153

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置の駆動方法

【特許請求の範囲】

【請求項 1】 一対の基板と、その一対の基板間に液晶層を有し、前記一対のうち一方の基板上に形成された複数のゲート線と、前記ゲート線と絶縁膜を介して交差する複数のソース線と、前記ゲート線と前記ソース線の交差部付近に形成されたスイッチング素子と、前記ソース線と前記スイッチング素子を介して接続された画素電極とを有し、前記ソース線により画像表示に必要な信号電位を前記スイッチング素子を介して前記画素電極に供給し、

前記基板面にほぼ平行な電界を印加する横電界方式の液晶表示装置の駆動方法において、

前記画素電極の電位の正極性時と負極性時の平均値が、表示する階調により異なるように、前記信号電位の平均値を設定して入力することを特徴とする液晶表示装置の駆動方法。

【請求項 2】 前記信号電位の平均値は

前記信号電位を作成するソース線駆動回路に外部より入力された階調参照電圧の2値の平均値であることを特徴とする請求項1記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、横方向電界方式におけるアクティブマトリクス型の液晶表示装置の駆動方法に関する。

【0002】

【従来の技術】

従来の液晶表示装置においては、長時間にわたって同一パターンを表示した後で別の画面に切り換えた時、前のパターンが長時間残るやきつきがおこる。この問題を解決するためにオフセット補償駆動方法を適用し、ゲート信号によって誘起される電位の低下の階調依存性を補償している。また、たとえば、ソース信号の振幅が大きい段階では従来と同様にコモン信号の電位およびソース信号の中心

電位を、ゲート信号によって誘起される電位の低下を補償するように設定し、ソース信号の振幅の小さい階調においてはソース信号の中心電位を、前記ゲート信号によって誘起される電位の低下を補償するソース信号の中心電位よりも、高い電位に設定することによってヤキツキを軽減でき、フリッカも見られないという技術もTN方式の液晶表示装置において、開示されている（例えば特許文献1参照）。

【0003】

【特許文献1】

特開2001-337310号公報（第2—5ページ 図8、9）

【0004】

【発明が解決しようとする課題】

しかしながら、特許文献1に記載された駆動方法を横電界方式（IPSモード）の液晶セルに適用した場合でも、ヤキツキが発生する。これは横電界方式の液晶セルの電極構造が上下方向で非対称に形成されているため、従来のTNモードと比較して、上下方向の残留DC電圧が発生し易く、結果としてヤキツキが発生するという問題があるためである。

【0005】

本発明は、このような問題点を解決するためになされたもので、横電界方式の液晶表示装置において、従来のオフセット補償駆動方法にて、画素電極電位と共通電極電位間のDC成分の偏りが発生しないように最適V_{com}を設定するのではなく、上下方向の残留DC電圧が発生しにくく、ヤキツキが発生しにくいオフセット値を設定して、ヤキツキの発生を低減することができる液晶表示装置の駆動方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明の液晶表示装置の駆動方法は、一対の基板と、その一対の基板間に液晶層を有し、前記一対のうち一方の基板上に形成された複数のゲート線と、前記ゲート線と絶縁膜を介して交差する複数のソース線と、前記ゲート線と前記ソース線の交差部付近に形成されたスイッチング素子と、前記ソース線と前記スイッチ

ング素子を介して接続された画素電極とを有し、前記ソース線により画像表示に必要な信号電位を前記スイッチング素子を介して前記画素電極に供給し、前記基板面にはほぼ平行な電界を印加する横電界方式の液晶表示装置の駆動方法において、前記画素電極の電位の正極性時と負極性時の平均値が、表示する階調により異なるように、前記信号電位の平均値を設定して入力することを特徴とする。

【0007】

【発明の実施の形態】

実施の形態1.

透過型液晶表示装置は、基板の間に注入された液晶に電界を印加し、この電界の強さに応じて液晶分子の配列方向を制御し基板を透過する光量を調整している。これによって所望する輝度の画像を得ることが可能となる。一方、薄膜トランジスタ(TFT)等よりなるスイッチング素子を使ったアクティブマトリクス型の液晶表示装置において、液晶に印加する電界の方向を基板に対して平行な方向とする横電界方式が主に超広視野角を得る手法として用いられている。この方式を用いると視角方向を変化させた際のコントラストの変化、階調レベルの反転がほとんどなくなることが明らかにされている。

【0008】

図1 (a) に一般的な横電界方式の液晶表示装置の画素領域の平面図、図1 (b) にその断面図を示す。図において、100はTFTアレイ基板、200はカラーフィルタ基板を示している。

100のTFTアレイ基板において、1は絶縁性基板101上に形成された複数本のゲート線、2はゲート線を覆うように形成された絶縁膜、3は複数のゲート線と交差するように設けられたソース線、4はソース線3上に設けられた絶縁膜である。ゲート線1及びソース線3は交差部に設けられたTFT素子等のスイッチング素子5と接続されている。スイッチング素子5には、ソース線3と平行に設けられた複数本の電極よりなる櫛状の画素電極6が接続されている。画素電極6の複数本の電極は平行かつ交互に複数本の電極よりなる櫛状の共通電極7が配置されている。画素電極6はクロム(Cr)、アルミ(Al)、モリブデン(Mo)等の金属やITO(Indium Tin Oxide)等の透明性導電膜により形成さ

れている。8はクロム（Cr）、アルミ（Al）、モリブデン（Mo）等の金属よりなる補助容量配線でありスルーホールを介して共通電極7と接続されている。このTFTアレイ基板100と200のカラーフィルタ基板を対向配置し、両基板間に液晶層9を狭持した液晶パネル10にバックライト等を配置し、液晶表示装置が完成する。画素電極及び共通電極間の液晶層9に電圧を印加することによって、基板面にはほぼ平行な電界を液晶層に印加している。

【0009】

また、横電界方式の液晶表示装置は図6（a）に示したように一般的に液晶駆動領域は配向膜（PI）61、保護膜（OC）62、カラーフィルタ（CF）63の色材、絶縁性基板101の材料であるガラス等の誘電体積層膜に囲まれており、液晶を駆動するための画素電極6と共通電極7間の電界Eがこの積層膜中まで広がる。一方、従来のTNモードの液晶表示装置の場合は図6（b）に示すように画素電極6と共通電極7間は対称形となっており、液晶を駆動する電界Eは画素電極6と共通電極7の間にのみに形成される。従って、TNモードでは、画素電極6と共通電極7の間にDC成分が発生しないようにすることでヤキツキを防止できたが、横電界方式では従来のオフセット駆動補償方法を採用するのみでは、誘電体積層膜中に残留DCが発生しヤキツキ現象が発生する。

【0010】

図2に横電界方式の液晶表示装置における回路図を示す。図に示すように図中左右方向に複数伸びるゲート線1、ゲート線1と直交して上下方向に複数のソース線3が形成されている。これらのゲート線1とソース線3とで囲まれる領域が一画素領域であり、両配線の交差位置付近にスイッチング素子5が設けられている。画素電極6はドレン電極23と接続されており、前述した通り共通電極7と平行に形成されている。ソース線3には信号電位を供給するソース線駆動回路11が搭載されている。ソース線駆動回路11からは駆動すべき画素表示に応じた階調信号（信号電位）が液晶パネル10に供給される。ゲート線駆動回路12からはスイッチング素子5をON/OFFするためのゲート電位が供給される。また、共通電極7にはコモン電位が供給される。

【0011】

C_{1c} は画素電極 6 と対向電極との間に挟持された液晶による結合容量、 C_{gd} はゲート／ドレイン間の結合容量、 C_{st} は補助容量をそれぞれ表す。一定のコモン電位に保持された共通電極 7 に対してスイッチング素子 5 よりドレイン電極 23 を介して画素電極 6 に信号電位 32 を書き込んで液晶層 9 での電界を制御することにより、画像を表示している。

【0012】

次に図3にゲート線1、ソース線3に印加される電圧の波形を示し、画素電極の電圧（以下画素電位31と称する）の動作を説明する。一般に液晶表示装置では液晶の劣化を防止するため、コモン電位34に対する画素電位31の極性をフレーム毎に反転させている。すなわち、全てのゲート線1を順次選択するのに必要な期間（1フレーム）毎にコモン電位34に対して画素電極6の極性を反転させている。

【0013】

ゲート電極21にスイッチング素子5のしきい値電圧以上の正パルスが印加されるとスイッチング素子5はオン状態（Highレベル：ソース電極22とドレイン電極23間が導通状態）になるため、ソース線1を伝播する信号電位32は、画素電極6に送られる。信号電位32は中心電位V_{so}を中心とする振幅V_{sa}の交流電圧である。振幅V_{sa}は表示させる階調に対応している。このとき、図3に示すように画素電位31はゲート電位33に同期して立ち上り、次にスイッチング素子5をOFF状態にするためにゲート電位33をLowレベルに切り換える際、画素電位31にはゲート／ドレイン間の結合容量C_{gd}の影響で△V_{gd}分のフィードスルーが発生する。その後1フレーム期間中、画素電位31は補助容量C_{st}によって保持される。一般にコモン電位34は第1フレームで液晶に印加される電圧V1と、第2フレームで印加される電圧V2の絶対値と等しくなるよう設定され、このときのコモン電位34を最適V_{com}と呼ぶ。通常、コモン電位34は可変抵抗器を用いて調整が可能であり、V1およびV2の絶対値が等しくなるよう調節する。

【0014】

画素電位31のフィードスルーによる電圧降下量△V_{gd}は次式で示される。

$$\Delta V_{g d} = \Delta V_g \times C_{g d} / (C_{1c} + C_{g d} + C_{st}) \cdots \cdots \text{式1}$$

* ΔV_g はゲート電位の変化量である。

このとき、画素電位31の値を1フレーム期間保持した後、第2フレームにおいて、再びゲート電位33がHighレベルになると画素電位31は前回のフレーム（第1フレーム）とは逆極性の信号電位32のレベルとなる。その後、ゲート電位33がLowレベルになると第1フレームと同様にゲート電位33に同期して立ち下がり、画素電位31はフィードスルーにより $\Delta V_{g d}$ の電圧降下をする。

【0015】

式1の成分のうち、 C_{1c} は信号電位（階調電圧）に対する依存性を有しており、液晶に印加する画像の階調によって液晶による結合容量 C_{1c} の値は異なる。また、 C_{st} 、 $C_{g d}$ には電圧依存性はほとんどない。

図4に C_{1c} と信号電位32の振幅 V_{sa} の関係を示した。信号電位32が高くなると C_{1c} は高くなるため、 $\Delta V_{g d}$ は信号電位が高くなると反比例して $\Delta V_{g d}$ が低くなることがわかる。従って、式1で示されるように $\Delta V_{g d}$ は常に一定ではなく信号電位32の振幅によって変化する。このため、第1フレームにて印加される電圧 V_1 と第2フレームにて印加される電圧 V_2 の絶対値を各階調で等しくするためには $\Delta V_{g d}$ の変化に対応する様に V_{so} を設定する必要があり、これをオフセット補償方法と呼んでいる。TN方式の液晶表示装置では、一般にこの方法によりヤキツキを防止している。また、前述したように、さらに V_{sa} が小さい階調での V_{so} を高く設定し、ヤキツキを防止する方法もある。本実施の形態では、上記の方法により V_{so} の設定を行わず、横電界方式の液晶表示装置において、ヤキツキが発生しないように V_{so} を設定するものである。

【0016】

以下、 V_{so} の設定方法について説明する。図2、図3においてゲート線駆動回路12から出力されるゲート電位33、ソース線駆動回路11から出力される信号電位32、および共通電極に印加されるコモン電位34の各出力タイミングおよび電圧値は、制御回路13により制御される。例えば、階調再現数が256階調の場合、階調を再現するために、画素電極には正極性側、負極性側各々25

6 レベルの大きさの電圧から選択された所望の大きさの信号電位 3 2 が印加される。したがって、互いに異なる正極性、負極性各 2 5 6 レベルの大きさの信号電位 3 2 をソース線駆動回路 1 1 から出力する必要がある。

【0017】

つぎに、前記 2 5 6 レベルの信号電位 3 2 を発生させるための手段について説明する。図 5 は 2 5 6 レベルの信号電位を発生させるための手段であるソース線駆動回路 1 1 の一例を示す説明図である。図において、4 1 は DC 電源 1 4 よりソース線駆動回路への入力端子、4 2 は制御回路よりソース線駆動回路への入力端子、4 3 は分割抵抗、4 4 はソース線駆動回路の出力端子を示す。ソース線駆動回路 1 1 の入力端子 4 2 は制御回路 1 3 に接続され、制御信号が入力される。また、ソース線駆動回路 1 1 の他の入力端子 4 1 は DC 電源 1 4 に接続され、互いにレベル（大きさ）の異なる 1 6 種類の階調参照電圧が入力される。例えば、DC 電源 1 4 の各出力端子から 1 6 種類の階調参照電圧、すなわち第 1 の階調参照電圧 (V_{ref0})、第 2 の階調参照電圧 (V_{ref1}) ··· 第 1 5 の階調参照電圧 (V_{ref14})、第 1 6 の階調参照電圧 (V_{ref15}) が各入力端子 4 1 に印加されている。各入力端子 4 1 間には、互いに直列に接続された分割抵抗 4 3 が接続される。

【0018】

たとえば、第 1 の階調参照電圧 (V_{ref0}) が印加された入力端子 4 1 と、第 2 の階調参照電圧 (V_{ref1}) が印加された入力端子 4 1 とのあいだに接続された 1 5 個の分割抵抗 4 3 の各接続部に設けられた出力端子 4 5 からは、1 5 個の分割抵抗により分割された、互いにレベルの異なる 1 5 個の信号電位として、第 1 の表示電圧 (V_{s0})、第 2 の表示電圧 (V_{s1}) ··· 第 1 6 の表示電圧 (V_{s15}) を示す信号電位がそれぞれ出力され、すべての V_{ref} 間を合わせると 2 5 6 階調の正極性側と負極性側の電位である $2 5 6 \times 2$ レベルの信号電位を発生させることができる。信号電位は選択回路 4 6 にて所望の電位が選択され 4 4 の出力端子より液晶パネルへ出力される。

【0019】

表 1 に本実施の形態によるソース線駆動回路 1 1 に入力される階調参照電圧（

V_{ref})の電圧値、また、ソース線駆動回路から出力される信号電位32の振幅 V_{sa} と信号電位の中心電位 V_{so} の電圧値を示す。たとえば、255階調の場合、ソース駆動回路11に入力する信号電位32の中心電位 V_{so} は階調参照電圧 $V_{ref0} = 14.670V$ と $V_{ref15} = 0.200V$ の2値の平均値である7.435Vとなる。0階調の場合は $V_{ref7} = 7.985V$ と $V_{ref8} = 6.725V$ の平均値である7.355Vとなる。この設定は各 V_{ref} を変化させながらヤキツキの強度を調べる実験を行い決定した。また、液晶表示装置の仕様に応じて種々変更可能である。これにより誘電体積層膜中にDC成分が滞留することなく、ヤキツキを最小にすることができます。

【表1】

階調	V_{sa}	V_{so}	電圧値
255	7.235	7.435	$V_{ref0} = 14.670$
240	6.410	7.313	$V_{ref1} = 13.723$
192	5.210	7.135	$V_{ref2} = 12.345$
127	4.000	6.955	$V_{ref3} = 10.955$
64	2.800	7.097	$V_{ref4} = 9.897$
32	1.950	7.198	$V_{ref5} = 9.148$
1	0.700	7.347	$V_{ref6} = 8.047$
0	0.630	7.355	$V_{ref7} = 7.985$ $V_{ref8} = 6.725$ $V_{ref9} = 6.647$ $V_{ref10} = 5.248$ $V_{ref11} = 4.297$ $V_{ref12} = 2.955$ $V_{ref13} = 1.925$ $V_{ref14} = 0.903$ $V_{ref15} = 0.200$

【0020】

本実施の形態では、255階調の V_{so} (V_{so255}) と127階調の V_{so} (V_{so127})との差 ($V_{so255} - V_{so127}$) は480mV、0階調の V_{so} (V_{so0}) と V_{so127} の差 ($V_{so0} - V_{so127}$) が400mVの例を示したが、これらのどちらかあるいは両方が、およそ0mVや負の値となる場合もある。これらの値は配向膜61、保護膜62、カラーフィルタ63の材料の組合せや界面状態により変化する。

【0021】

ところで、本実施の形態における液晶表示装置においても、一般的な液晶表示装置同様、Vcom調整は、0および255階調の中間値である127階調（中間調）表示にて行う。ドット反転駆動方式等を採用した場合は、市松などのパターンを表示させフリッカーが最小になる部分を最適Vcomとなるよう調整する。このため、127階調でのフリッカーはほぼ0となるが、127階調以外の階調では最適Vcomに対してVcom値がずれるため、フリッカーが生じやすくなる。これに対しては図7（a）に示すような極性を一画素毎に反転させるドット反転駆動や図7（b）に示すような1×2駆動、または、極性反転をランダムに発生させる駆動（図示せず）を行うことで通常画面を表示した際のフリッカーを防ぐことができる。上記では127階調にてVcom調整を行う例を示したが、他の階調にてVcom調整を行っても、同様の効果を得ることができる。

【0022】

【発明の効果】

本発明によれば横電界方式の液晶表示装置の駆動方法において、画素電極に供給された信号電位の正極性時と負極性時の平均値が、階調により異なるように、前記信号電位の平均値を設定して入力することで、ヤキツキが最小となる液晶表示装置の駆動方法を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態における液晶表示装置を示す図である。

【図2】本発明の実施の形態における液晶表示装置の回路図である。

【図3】本発明の実施の形態における液晶表示装置の信号波形を示す図である。

。

【図4】本発明の実施の形態における液晶表示装置を示す図である。

【図5】本発明の実施の形態における液晶表示装置の回路図である。

【図6】本発明の実施の形態におけるIPSモードとTNモードの主要部断面図である。

【図7】本発明の実施の形態における液晶表示装置の極性反転方式を示す図である。

【符号の説明】

- 1：ソース線
- 2：絶縁膜
- 3：ゲート線
- 4：絶縁膜
- 5：スイッチング素子
- 6：画素電極
- 7：共通電極
- 8：補助容量配線
- 9：液晶層
- 10：液晶パネル
- 11：ソース線駆動回路
- 12：ゲート線駆動回路
- 13：制御回路
- 14：電源
- 21：ゲート電極
- 22：ソース電極
- 23：ドレイン電極
- 31：画素電位
- 32：信号電位
- 33：ゲート電位
- 34：コモン電位
- 41：入力端子
- 42：入力端子
- 43：分割抵抗
- 44：出力端子
- 45：出力端子
- 46：選択回路
- 61：配向膜
- 62：保護膜

63：カラーフィルタ

100：TFTアレイ基板

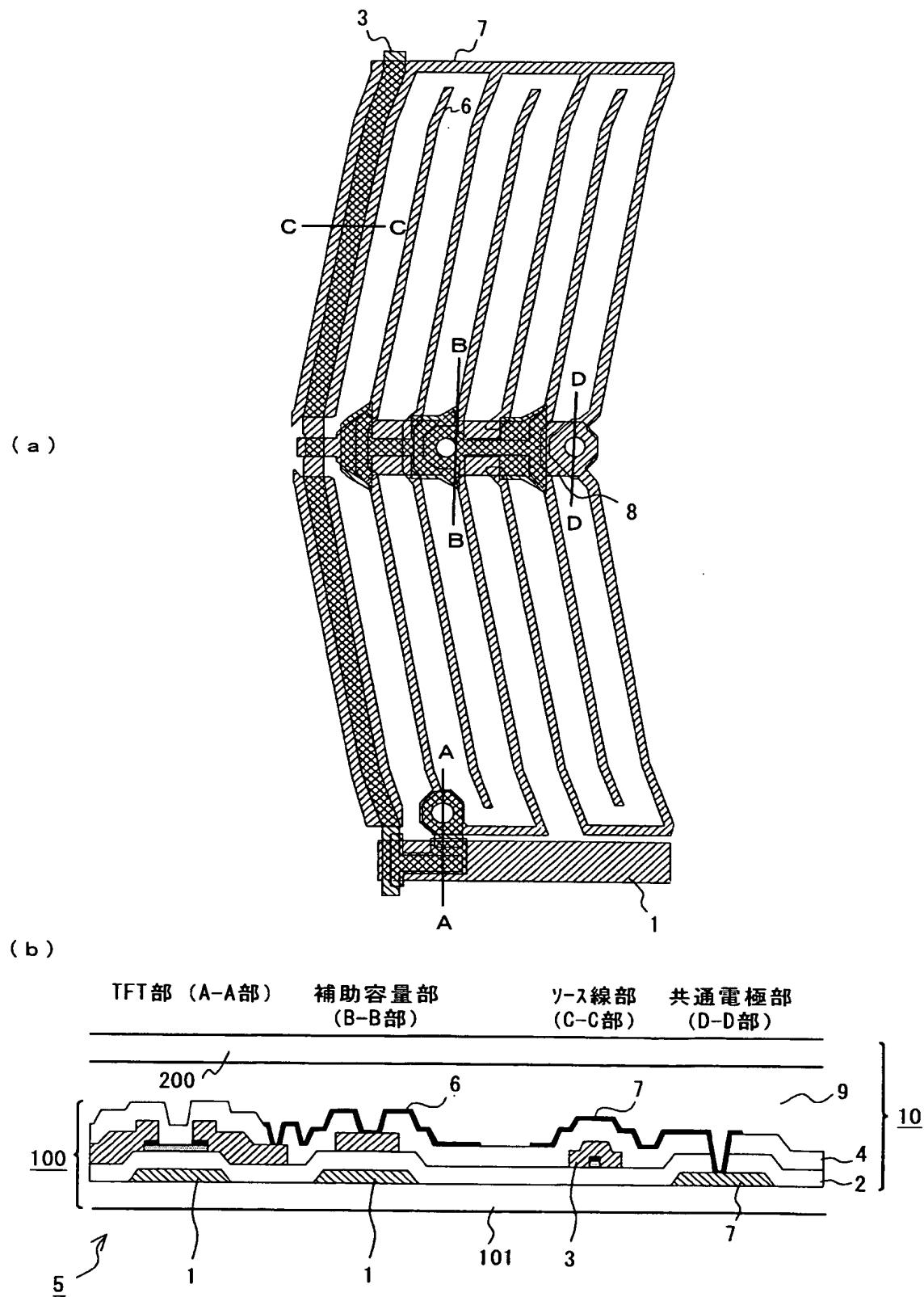
101：絶縁性基板

200：カラーフィルタ基板

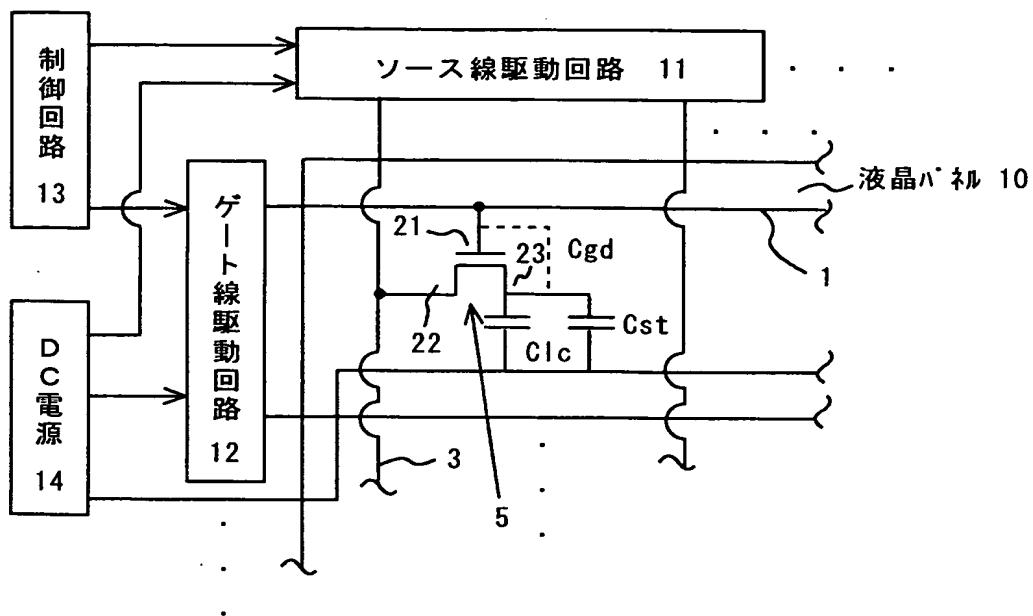
【書類名】

図面

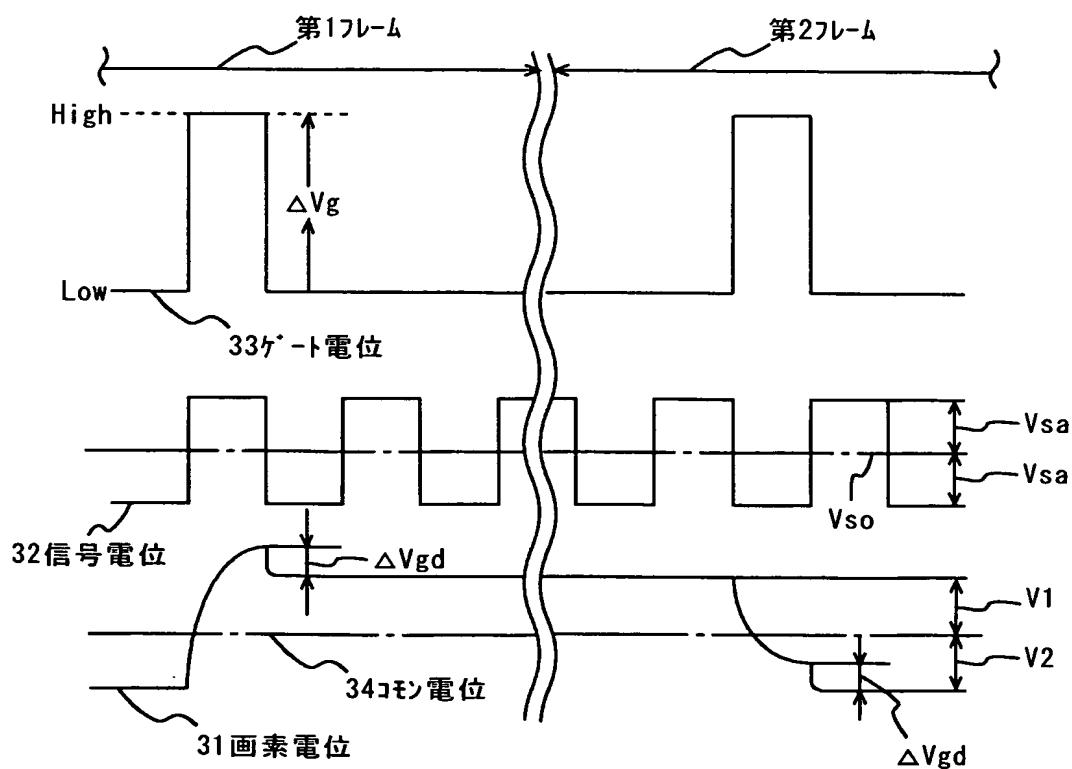
【図 1】



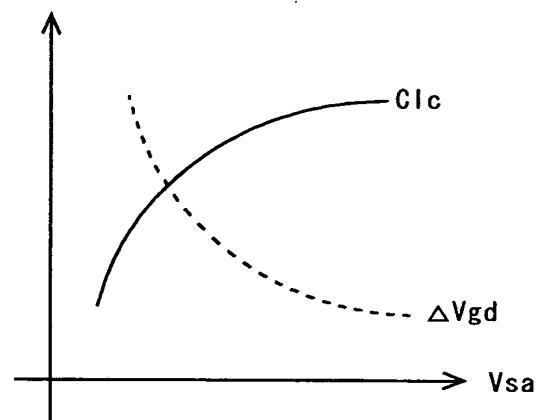
【図2】



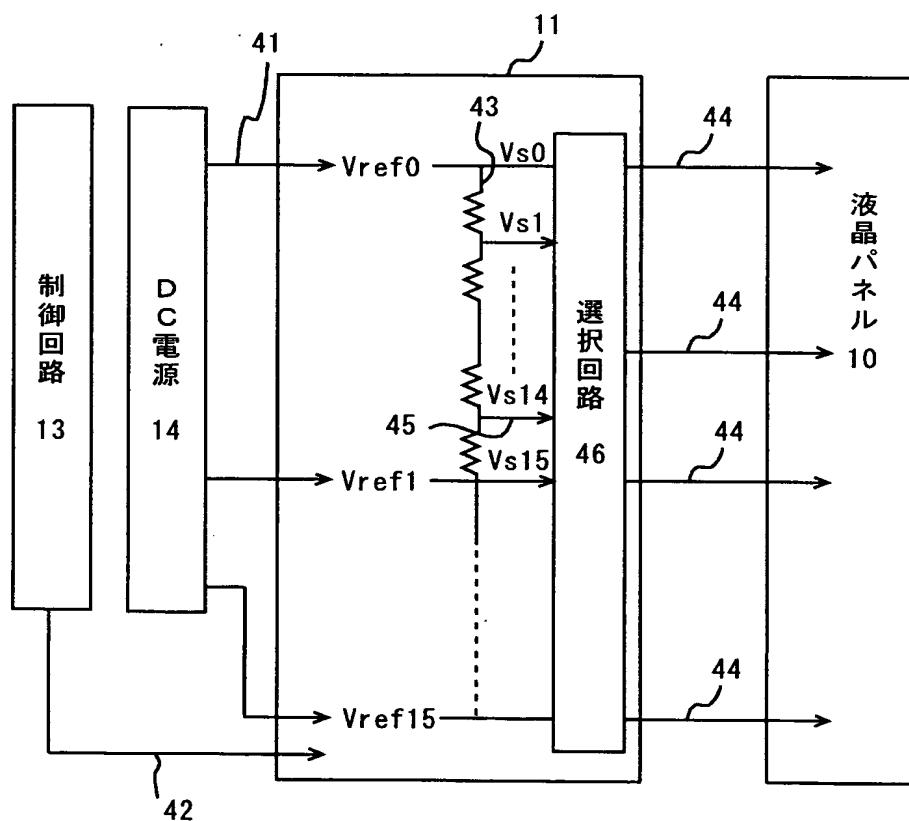
【図3】



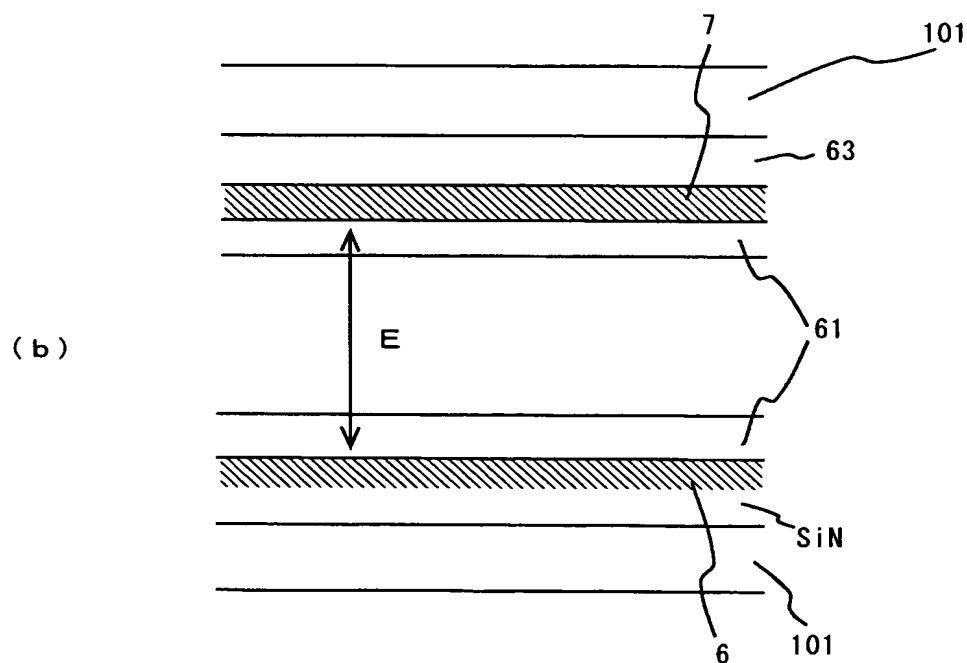
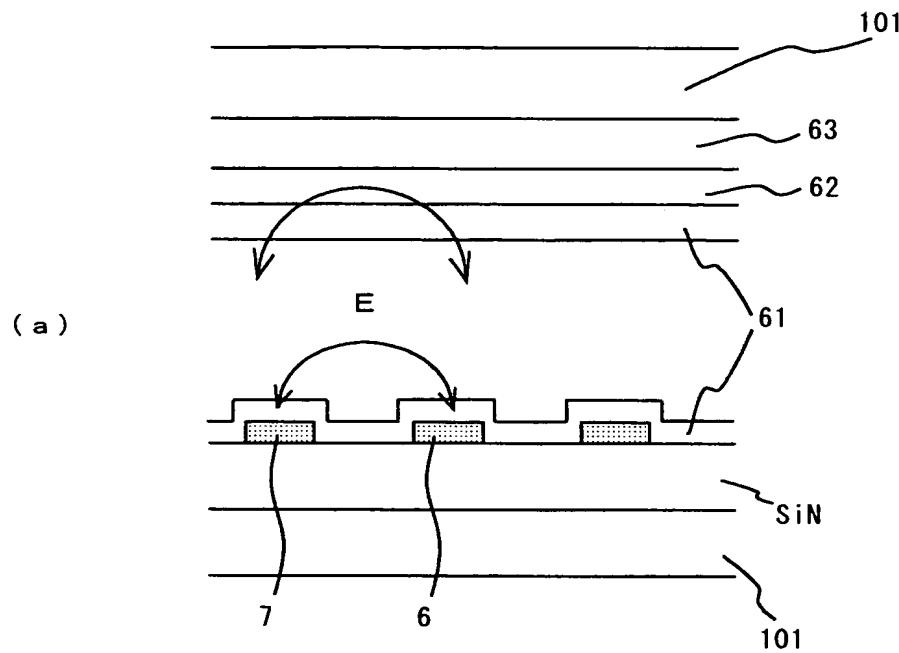
【図4】



【図5】



【図6】



【図7】

(a) ドット反転

(b) 1×2

+: コモン電位に対して画素電位が正
-: コモン電位に対して画素電位が負

【書類名】要約書

【要約】

【課題】 横電界方式（IPSモード）の液晶セルの電極構造は上下方向で非対称に形成されているため、従来のTNモードと比較して、上下方向の残留DC電圧が発生し易く、結果としてヤキツキが発生する。

【解決手段】 一対の基板のうち一方の基板上に形成されたゲート線と、ゲート線と交差するソース線と、ゲート線とソース線の交差部付近に形成されたスイッチング素子と、スイッチング素子に接続された画素電極とを有し、ソース線により画像表示に必要な信号電位を画素電極に供給し、基板面にほぼ平行な電界を印加する横電界方式の液晶表示装置の駆動方法において、画素電極の電位の正極性時と負極性時の平均値が、表示する階調により異なるように、信号電位の平均値を設定して入力する液晶表示装置の駆動方法。

【選択図】 図5

認定・付加情報

特許出願の番号	特願2003-098579
受付番号	50300545447
書類名	特許願
担当官	第二担当上席 0091
作成日	平成15年 4月 2日

<認定情報・付加情報>

【提出日】	平成15年 4月 1日
-------	-------------

次頁無

出証特2003-3104537

特願 2003-098579

出願人履歴情報

識別番号 [595059056]

1. 変更年月日 1995年 4月21日

[変更理由] 新規登録

住所 熊本県菊池郡西合志町御代志997番地
氏名 株式会社アドバンスト・ディスプレイ